

어바웃 IT 기술사 10

IT 기술사 과목별 소개

- 컴퓨터구조

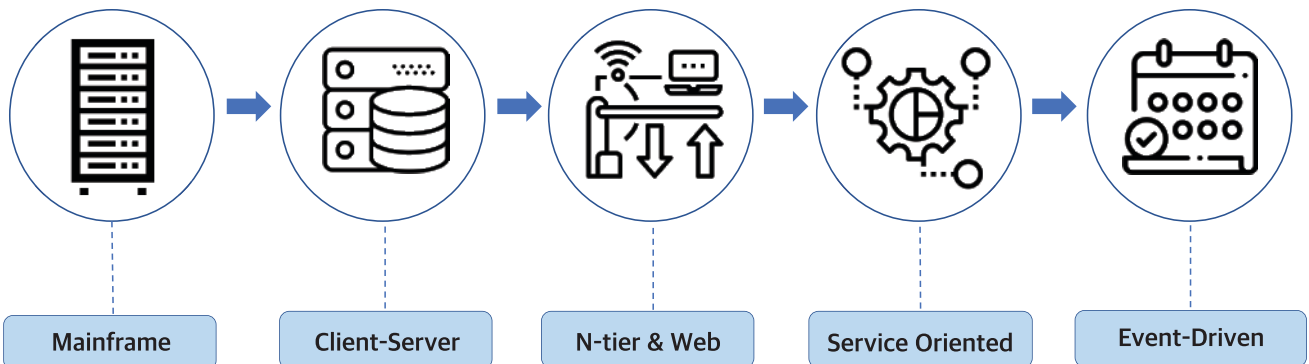
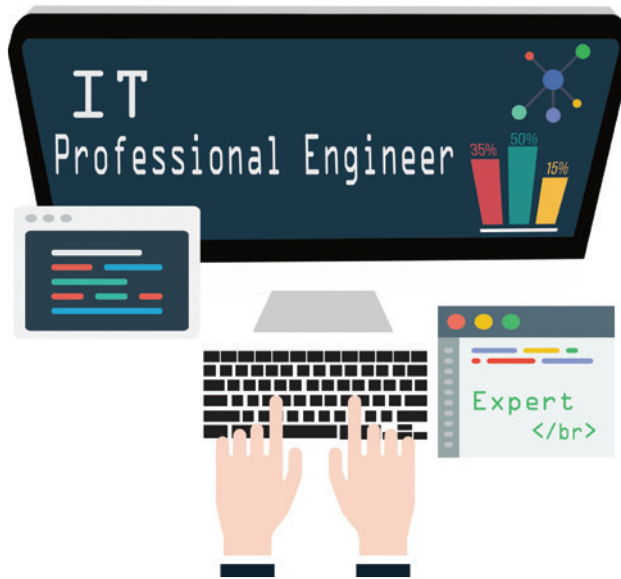
글. 강자원 컴퓨터시스템응용기술사

KBS MNC(Media Network Center)팀 (jwings@kbs.co.kr)

연재 목차

- 1회_ IT 기술사에 대하여(정통, 컴시응, 정관)
- 2회_ 기술사 수검방식 및 전략(필기, 면접)
- 3회_ 기술사 공부법(서브노트작성법, 마인드맵)
- 4회_ SW공학
- 5회_ 데이터베이스
- 6회_ 네트워크
- 7회_ 보안
- 8회_ 경영정보
- 9회_ 디지털신서비스
- 10회_ 컴퓨터구조**
- 11회_ 알고리즘
- 12회_ 정보시스템감리

우리가 인식하든, 인식하지 못하든 시스템 아키텍처의 진화가 이뤄지고 있다. 지난 수십 년간 시스템 아키텍처는 건물 건축 양식과 비슷했다. 시스템이 해야 할 일을 결정하고, 필요한 주요 하부 시스템과 이들의 연결 방식을 파악하고, 계속 분해해 나가면서 상세 내용을 알게 되면 이를 이용해 개발팀이 각 하부 시스템을 확장하고 이들을 통합해 원하는 시스템을 만들어낸다. 그러나 이러한 패턴이 최근 몇 년간 변화하고 있고 그 속도도 빨라지고 있다.

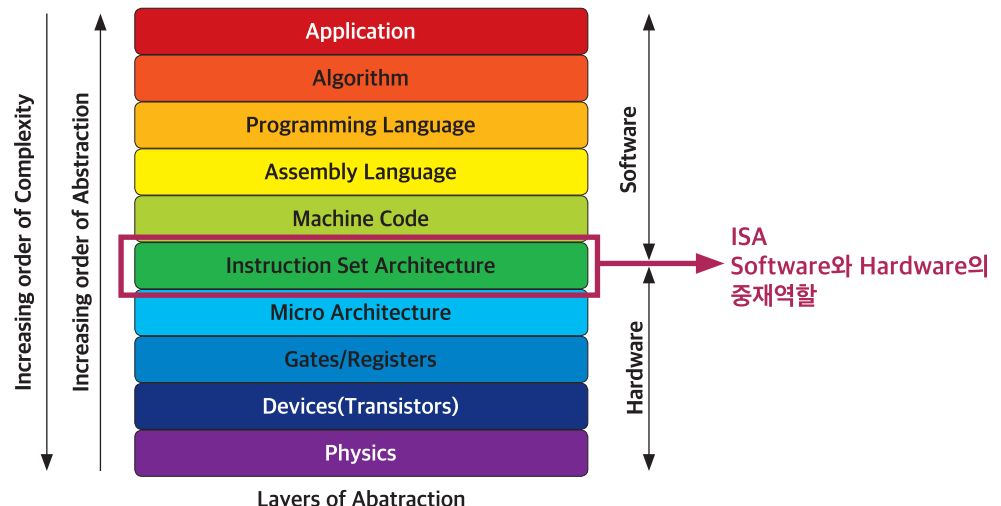


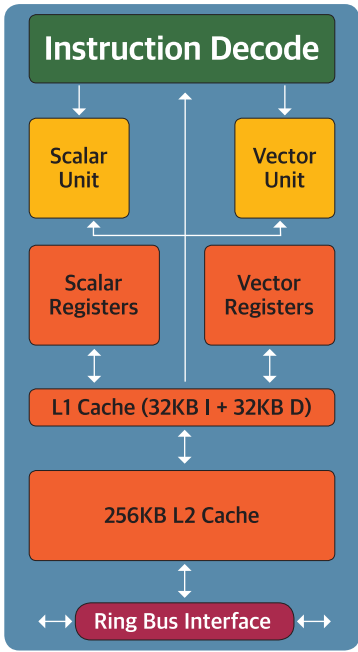
1990년대 들어 네트워크 시스템이 일반화되면서 클라이언트-서버 아키텍처가 지배적인 설계 패턴으로 등장함에 따라 네트워크 인터페이스가 포함되어야 했다. 시스템은 이제 더 이상 한 장소에 배치되어 정해진 터미널들로부터 사용하는 단일 개체가 아니었다. 이후 서비스 지향 아키텍처(SOA)의 개발로 이어졌다. SOA의 기본 개념은 네트워크상의 어떤 애플리케이션으로든 호출 가능한 서비스로 기능을 제공하자는 것이다. ‘서비스’란 원하는 기능에 대해 잘 정의된 인터페이스에 불과하다. SOA는 유동적으로 작성할 수 있는 애플리케이션의 시대를 약속했다. 새로운 업무적 필요가 생길 때마다 이를 충족하기 위해 애플리케이션의 코딩을 새로 하지 않아도 된다는 뜻이다. 현재의 서비스 지향 아키텍처는 더 간단히 공유해서 사용할 수 있는 방향으로 발전해 나가고 있다. 이러한 방향으로의 아키텍처가 변화하면서 많은 기능이 서비스로 이용할 수 있게 되었고 이를 사용하는 기업들이 늘어났다. 클라우드 컴퓨팅 혁명의 본질은 결국 컴퓨터 하드웨어를 주문형 서비스로 변환시키는 것이다. 계속해서 늘어나는 기능들을 특히 클라우드 환경에서 서비스로 이용 가능하도록 하는 기업 생태계가 대세화됐다. 클라우드 제공업체들은 앞다투어 더 많은 기능을 제공하고 있으며, 몇 가지 서비스를 글루웨어(glueware)나 스크립트 언어로 이어 붙여 기본 시스템을 개발하는 것은 이미 가능하다. 즉, 최소한으로 작동하는 기본 시스템이 몇 달이 아닌 몇 주 안에 만들어질 뿐만 아니라, 새로운 서비스들을 이어 붙이거나 서비스를 이용할 수 없는 경우에는 기성품 모듈을 설치하여 빠르게 개선 가능하다. 이런 환경에서는 시스템 구축 전에 몇 달에 걸쳐 세부 사항을 결정하는 설계 단계는 적합하지 않다. 시스템 아키텍처 및 설계에 대한 새로운 사고방식이 필요하다.

컴퓨터구조 맛보기 - x86 컴퓨터 아키텍처

‘x86’이란 단어를 들어본 사람이 얼마나 될까. 공기 안의 산소 덕분에 숨을 쉴 수 있지만 모두가 산소에 대해 잘 알고 있지 않듯이, 모두가 x86을 쓰고 있지만 x86이란 단어의 뜻과 유래를 잘 알고 있는 사람은 없다. 누구나 x86 컴퓨터 한 대쯤은 쓰고 있기 마련이며 우리 방송현장에서 사용하는 서버 및 범용적으로 사용하는 서버의 상당수가 x86 서버이다. 컴퓨터구조의 많은 부분 중에서 x86 서버의 아키텍처를 소개하고자 한다. 지금부터 하려는 이야기를 이해하기 위해 ‘마이크로 아키텍처’와 ‘명령어 세트’에 대한 개념을 알고 있어야 한다.

명령어 세트란 ISA라 하는데 Instruction Set Architecture의 약자로 마이크로프로세서가 인식해서 기능을 이해하고 실행할 수 있는 기계어 명령어를 말한다. 즉, 사람의 ‘언어’에 해당한다고 볼 수 있다. 한국 사람에게는 한국말로 이야기해야 알아들을 수 있듯이, CPU를 올바르게 작동시키기 위해서는 CPU가 지원하는 명령어 세트에 맞추어 프로그램을 만들어야만 한다. 응용 애플리케이션부터 시작하여 다양한 단계를 거쳐서 Software에서 Hardware로 넘어가게 된다. 이때, Software에서 Hardware로 넘어가는 단계에서 중재자 역할을 해주는 것이 바로 ISA다.



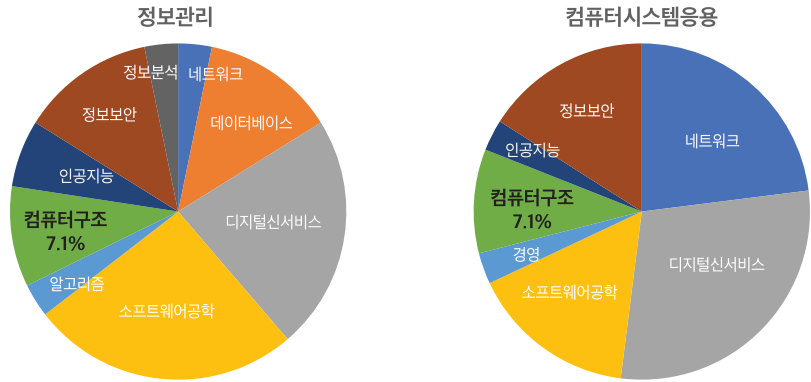


마이크로 아키텍처는 CPU의 내부적인 처리 구조를 설명하는 단어이다. 조금 더 풀어서 설명하자면, 컴퓨터에 설치되어있는 소프트웨어가 명령을 보내올 때, CPU 안에서는 그 명령을 받아들이고 일을 한 뒤 결과물을 내놓는 방법이 있을 것이다. 그 방법과 절차에 대한 구조를 설명해 둔 것이 바로 마이크로 아키텍처이다.

명령어 세트와 마이크로 아키텍처, 시스템 디자인 이 세 가지가 묶여 ‘컴퓨터 아키텍처’가 된다. 컴퓨터 아키텍처란 컴퓨터의 하드웨어와 관련된 하나의 규격과 약속을 모두 아울러 가리키는 말이다. x86은 처음엔 인텔이 만들어낸 CPU의 명령어 세트 이름에 불과했다. 그러나 시간이 흘러 인텔 CPU와 그 위에서 실행되는 운영체제가 뭉쳐 하나의 차별적이고 독립적인 생태계를 구축하게 되었고, 그 결과 이젠 컴퓨터 아키텍처의 한 갈래가 되어버릴 만큼 그 의미가 넓게 확장되었다. 이 외에도 컴퓨터 아키텍처는 여러 종류가 있지만 x86 컴퓨터의 아키텍처가 가장 범용으로 사용되고 있다.

컴퓨터구조 과목의 출제 비중

가장 최근 117회 기출문제를 통해 정보관리 종목과 컴퓨터시스템응용 종목에서의 컴퓨터구조 과목 문제 출제 비중을 보면 다음과 같다. 두 종목 모두 같은 문항 수의 출제로 이번에는 정보관리 종목에서도 비중이 높게 출제되었다. 게다가 각각 출제 교시를 보면 정보관리영역에서는 매 교시 1문제씩 출제되었고, 컴퓨터시스템응용 종목에서는 1교시에 개념을 묻는 문제로 3문제나 출제되었다.



정보관리종목 117회 영역별 출제 문항 수

영역	1교시	2교시	3교시	4교시	계
소프트웨어 공학	1	2	1	2	6
데이터베이스	2	1	0	1	4
경영정보	0	0	0	0	0
컴퓨터 구조	1	1	1	1	4
네트워크	1	0	0	0	1
정보보안	2	0	1	1	4
디지털 신서비스	4	2	2	0	8
알고리즘	2	0	1	1	4
계	13	6	6	6	31

컴퓨터 시스템응용 종목 117회 영역별 출제 문항 수

영역	1교시	2교시	3교시	4교시	계
소프트웨어 공학	2	1	1	2	6
데이터베이스	0	0	0	0	0
경영정보	0	0	0	0	0
컴퓨터 구조	3	1	0	0	4
네트워크	3	1	2	1	7
정보보안	1	1	0	0	2
디지털 신서비스	4	2	3	3	12
알고리즘	0	0	0	0	0
계	13	6	6	6	31

기출문제를 통한 실전 컴퓨터구조 문제

117회 기출문제를 통해 컴퓨터구조 과목의 출제 경향을 알아보자.

정보관리 117회

회차	교시	문제
117회	1	12. UNIX 운영체제 부팅과정
	2	4. IPC(Inter Process Communication) 방식의 주요기법 3가지에 대하여 설명하시오.
	3	2. '정보시스템 하드웨어 규모 산정 지침'의 하드웨어 규모 산정 3가지 방법에 대하여 개념과 장, 단점을 설명하시오.
	4	4. 운영체제에서 페이지 교체 알고리즘을 사용한다. 가. 페이지 교체 알고리즘을 사용하는 이유에 대하여 설명하시오. 나. 페이지 교체 알고리즘의 종류를 나열하고, 종류별 동작 과정에 대하여 설명하시오.

컴퓨터시스템응용 117회

회차	교시	문제
117회	1	6. 유니커널(Unikernel) 기반의 클라우드 운영체제
		10. RAID(Redundant Array of Inexpensive Disks) 구조
		11. 썬더볼트(Thunderbolt) 인터페이스표
	2	2. CPU의 동작을 감시하는 워치독 타이머(Watchdog Timer)에 대하여 기술하고 하드웨어 구현 방법을 설명하시오.

출제 문제를 보면 같은 문항 수가 출제되었다 하더라도 난이도가 다르다. 정보관리종목은 기본적인 절차나 개념을 묻는 문제라면, 컴퓨터시스템응용 종목에서는 깊이 있는 답을 요구하는 문제가 출제되었다.

컴퓨터구조 과목 어떻게 준비해야 할까?

- 기본개념과 정의가 중요한 과목일수록 기출문제를 많이 보자!
- 출제자 Pool은 정해져 있다. 몇 회에 한 번씩 돌아가면서 출제하기에 과거 문제도 다시 출제될 수 있다.
- 정보통신기술사 또는 정보관리, 컴퓨터시스템응용기술사 각각 교차 출제비율이 높으니 반드시 다른 종목의 기출문제도 함께 학습해두자!
- 기본개념과 원리, 동작을 묻는 What형의 문제가 대다수이다. 기본개념을 심도 있게 학습하자!

정보관리 종목의 과거 기출문제 출제 비율

[117정1] UNIX 운영체제 부팅과정

[96컴1] 윈도우(Windows) 운영체제의 부팅 순서를 단계별로 설명하시오.

[117정4] 페이지 교체 알고리즘을 사용하는 이유에 대하여 설명하시오.

[102정3] 가상 메모리 관리 기법의 기본 동작 원리, 페이징 기법과 세그먼트 기법

컴퓨터시스템응용 종목의 과거 기출문제 출제 비율

[117컴1] IPsec

[87조4] IPSEC(Internet Protocol Security) VPN(Virtual Private Network)을 설명하고 SSL(Secure Socket Layer) VPN과 비교하여 어떤 장단점이 있는지 설명하시오. (87조4)

[117컴1] RAID(Redundant Array of Inexpensive Disks) 구조

[69조4] RAID(Redundant Arrays of Inexpensive Disks)의 종류와 구성방식 및 고려사항에 대하여 기술하시오. (69조4)

[117컴2] CPU의 동작을 감시하는 워치독 타이머(Watchdog Timer)에 대하여 기술하고 하드웨어 구현 방법을 설명하시오.

[108컴4] CPU의 동작을 감시하는 워치독 타이머(Watchdog Timer)에 대하여 기술하고 하드웨어 구현 방법을 설명하시오.

컴퓨터구조 과목에 대한 방송기술인들의 이해와 접근 방식

컴퓨터구조는 단일 컴퓨터의 구조와 원리가 아니라 시스템의 아키텍처 전체를 학습하는 방향으로 접근할 필요가 있다. 인프라 아키텍처가 가상화와 클라우드에 초점이 맞춰지는 형태로 흘러가고 있기 때문이다. 이는 방송기술의 현장에도 동일하게 적용되고 있는 흐름이다. 아직 방송 제작환경에서는 와 닿지 않을 수 있겠으나, 방송 제작 후 후반 편집 및 유통 프로세스 또는 미디어 콘텐츠의 유통을 IP 기반으로 본다고 했을 때, 이미 상당 부분 우리의 제작시스템 구축 현장에 이미 우리도 모르게 녹아들어 와 있는 현실이다. 단일 컴퓨터의 구조에서부터 시스템 아키텍처라고 하는 부분으로까지의 확장은 시대의 흐름에 따라 살펴볼 필요가 있다.

최근 트렌드를 보면 방송 IT 인프라 환경에 적극 대응하고 영상 사진 콘텐츠 제작의 혁신을 위해 오브젝트 스토리지의 활용에 대한 관심이 뜨겁다. 국내 방송 환경은 UHD 송출을 통한 고해상도 콘텐츠 제작이 일반화되고 실시간 스트리밍에서 3D VR 기술이 도입되는 등 서비스가 다양화되고 있다. 방송 IT 인프라의 스토리지 아키텍처는 영상 제작과 송출을 위한 1차 저장소로 SAN 스토리지를 활용해 응답 성능을 높이고, 파일의 저장과 관리를 위한 아카이빙 영역에는 도입비용을 고려해 테이프 미디어로 운영하는 것이 일반적이었다. 최근 방송 제작 환경의 변화에 따라 아카이빙 영역의 4K 고해상도 콘텐츠 저장 증가 및 과거 방송 프로그램을 다시 볼 수 있는 온라인 VOD 서비스가 활성화되며, 대규모 영상 파일의 안전한 보관과 관리를 위한 ‘오브젝트 스토리지’가 각광받고 있다. 오브젝트 스토리지는 파일 규모에 제한 없이 서비스를 수용할 수 있고, 웹 기반 인터페이스로 파일에 대한 실시간 액세스를 제공해 활용도가 높으며, 퍼블릭 클라우드와 동일한 인터페이스로 기업의 클라우드 전략에 유연한 대응이 가능한 차세대 저장 장치이다.

지금 시장은 이렇게까지 발전하고 우리 가까이 방송 솔루션으로 제공되고 있다. 우리 방송기술인들도 이러한 시장 트렌드에 발맞춰 인프라에 대한 관심도 가져보자.

[마인드 맵 첨부]

다음 호에서는 알고리즘 과목에 대해 알아보겠다. 종목별 알고리즘 과목의 출제 비중과 실전에서 어떤 문제들이 출제되며 또, 고득점을 위해서는 어떤 형식으로 답안을 기술해야 하는지에 대해 알아보도록 하겠다. 

참고문헌

KPC 기술사회 네이버 카페 자료실(cafe.naver.com/81th), www.ciokorea.com/column/123300, www.ciokorea.com/news/123038

Platform	
J2EE : 대형 서버, 엔터프라이즈 버전 플랫폼 -플랫폼 독립적 표준 컴포넌트 기반환경제공 -구조 사용자계층 : JSP, Servlet에 의해 작성되는 동적 웹 페이지 웹 계층 : JSP 페이지, 웹기반 애플릿, Java Beans 비즈니스계층 : 비즈니스 업무 처리를 위한 로직 엔터프라이즈, 정보계층 : DBMS, 레거시 정보 시스템 -기술 : JSP(Server Side Script) Servlet(CGI 보단, Multi Thread 지원), JDBC, EJB JNDI(NW 자원 사용위한 IF), JTA/JTS(트랜잭션 자원/기능 관리), JMS(J/엔터프라이즈 메시징 처리 API), JCA(Legacy Connectivity 표준 인터페이스) J2SE : 중소규모 업무환경을 위한 플랫폼 J2ME : 무선 모바일 단말기 지원 플랫폼 -구성 : VM Layer, Configuration Layer, Profile Layer CDC(Connected Device configuration), CLDC(Connected Limited Device Configuration) MPPC(CLDC 기반 JAVA Class Library에 대한 명세) MIDLETJ2ME 환경에서 수행되는 프로그램) EJB -J2EE 핵심기술, 컴포넌트 개발을 위한 인터페이스 -구성 : CLR, net FW, ASP.NET, Visual Studio .NET, Enterprise Bean 유형 : Entity Bean(CMP, BMP, MDB) Session Bean(Stateful/Stateless) .NET -구성 : CLR, net FW, ASP.NET, Visual Studio .NET, Building Block Service 본산언어 -RMI : Interface, stub, skeleton, RMI Registry -DCOM -CORBA : 객체간 인터페이스 정의위한 IDL 제공 Green PC System -기술 : 임의/직류DC/플랫폼/SW/사관 Green IDC : 냉각이 38% 에너지 소모 -기술 : 자원통합, 그린플랫폼, 재생에너지, 냉방, 자원관리, 전력 효율화, BEWS	

Computer 유형	
Flynn의 분류	병렬컴퓨터
SISD , SIMD , MISD , MIMD MIMD 분류 -SMP : 하나의 OS, 공유메모리, OLTP/DSS -MPP : 노드 OS, 분산메모리, DM/이미지프로세싱 -NUMA : 표준개방 OS, 공유/로컬 메모리, 멀티미디어 CC-NUMA(분산 토로메모리도 공유 메모리 형성) COMA(분산된 기억장치들이 캐시로 변환, 각 프로세서는 캐시만 가짐) 병렬처리 -방법 : Pipeline, 다중처리, 배역처리, 벡터처리 -방식 : Amdahl's Law -Speed up = 1/(1/P)+P/S), S=Serial Fraction	Clustering -여러 SMP를 고속 NW로 연결, 고성능/고가용/로드밸런싱 지원 기술 -기술 : HA, Single System Image, 클러스터 관리/확장 High Availability -구성 : Hot/Standby, Mutual takeover, Concurrent Access Fault Tolerance System -구성 : Redundancy, Fault Detection/Location, Recovery, Integrity -HW : Checkpoint, Recovery Block, N Self-Checking, N Version -DB : Rollback, Log File, Checkpoint, Shadow Paging -Data : Parity, N of N 노드, Berger, Check Sum, Hamming

Additional	
Modular Computer -배경 : CS 중심 NW 환경, Hand-held Device 증가 -기능 : Self Organization, Plug&Play, Self-Healing, Variable MEMS(Micro Electro Mechanical System) : 충격, 시각 반복 -기술 : 실리콘, 유기소재, 패키징 기술 SOC(System On Chip) -나노기술을 이용한 한 개의 반도체 칩으로 집적한 비메모리 집적 회로 SmartCard -칩 OS : 폐쇄형(금융카드), 개방형(JAVA, MULTOS) USIM -구성 : IC Chip, Chip OS, I/O IF -ISO 7816(카드-단말기 통신 명세) -저세대 USIM : USB 지원, 자바카드 3.0, SCWC 탑재	

Operation System	
운영체제	병행처리
OS 아키텍처 -Monolithic Design(All in One) -Layered Approach(유사기능을 계층으로 모듈화) -Micro Kernel Process Manager Thread Manager Communication Manager Memory Manager Supervisor Process -프로세서에 의해 수행되는 프로그램 단위, 자원할당의 기본단위 -상태 : Ready, Running, Block, Suspend, Resume Process Control Block -프로세스 제어정보 저장 -구성 : PID, PC, 레지스터, 포인터, 상태, 기억장치관리정보, 파일정보 Thread -복합적 스케줄링 최소단위, Library Call로 통신 -상태 : 준비, 실행, 대기, 종료 -구성 : TID, PC, 레지스터, 스택	Scheduler -Job Scheduler(장기, 상위) : 보류→준비리스트 -Process Scheduler 중기 : Swap In/Out, 부하조정 단기 : Dispatcher 수행, CPU 사용 프로세스 결정 -Context Switching Scheduling Algorithm -Preemptive : RR, SRT, MLQ, MLFQ -Non-Preemptive : FCFS, SIF, HRN(Response Ratio=(대+서)/사) Deadline -진행 : 상호배제, 점유/대기, 비선정 환경대기 -해결 : 예행(4조건 중 1가지를 부정), 회피(Banker's Algorithm), 발전/인고리를 자원할당그래프, 복구(프로세스중지/자원선정) Dining Philosophers Problem -Deadlock, Starvation, 발발 상황에 대한 직관적 이해 -진해 : 양쪽 포크 식사, 한변에 하나씩 점유, Think-Hungry-Eat 반복 Banker's Algorithm -조건 : 자원할당, 최대 자원요구할 알아야, 일정한 사용자/프로세스, 유한 시간내 할당자원 반납 -용어 : Available, Allocation, Max, Need Mutual Exclusion -조건 : 상호배제, 한계대기, 진행조건, 동시속도 -구현 : SW(Dekker, Peterson, Semaphore, Event Count Sequencing) Semaphore : Binary/계수형, Alpha/Beta Bakery Algorithm : 프로세스에 수행번호 부여 -상호배제, 한계대기, 진행조건 만족

임베디드 시스템	
RTOS -특징 : 시간제약, 특수성, 신뢰성, 선점/우선순위 보장, 문제극한 최소화 -유형 : Hard, Soft, Firm Embedded System -특징 : Realtime, 신뢰성, 최적화, 특수성 -구성 : SW(응용/MW/시스템/Kernel), HW(CPU, Memory, IO) -개발 방법론 : 구조적, RTSAD, DARTS, CODARTS 절차 : 기획→부품/OS 선정→HW외로/SW구조설계→HW외로/코드설계→인쇄배선기반작성/모듈통합→부품통합/테스트→출판테스트 →양산테스트→EM/양장성 테스트→제품출하 환경 : Host, Target, 확장 디버깅 : 에뮬레이터, Remote Debugging 테스트 : Event Driven, Time Critical, Multi platform Embedded MW -유형 : HAVI(IEEE 1394, P2P), JINI(RMI 기반, OSGi 표준 근간) -구현 : PHP/Mini Web Server, Control Point, Bridge, A/D/D/C/E/P), LonWorks/LonMark(ISO 14908, PLC 기반, neuron chip 전체), HINCP(PLC 기반 가전기기 통합 제어), DINIA(유선 NW 통합 멀티미디어 공유 규약) OSGI -특징 : 자바기반, JINI/UPnP지원, 동적 기능추가, 업그레이드, 약결함 -FW : HW, JVM, Class Loading, Life Cycle, Service Registry, Service Bundles, Security	

Computer Architecture	
컴퓨터 구조	기능상
Von Neumann 명칭/데이터 메모리 통합 병목현상 발생 -Harvard Architecture 명칭/데이터 메모리 분리 파이프라이징 구현 용이 병목어 수행 -Fetch : 메모리명령어→CU -Decode : 명령어 해석 -Execute : ALU에서 계산 -Store(Write Back) : 저장	성능상 -단일 파이프라인 : k+(n-1) k(명령어수), n(명령어 단계) -슈퍼 파이프라인 -슈퍼 스칼라(여러 ALU) -슈퍼 파이프라인드 슈퍼 스칼라 -다중수행명령어 집파일시 추월 파이프라인 Hazard -유형 : Structural(HW동시집근) -해결 -Equalization All Pipeline Depth Pipeline Stalls(모든 Hazard 해결) By Passing(필요한 단계로 Data 전달) Speculative Conditional Branch (분기예측 실행)

Computer 구성	
추가기능장치	보조기능장치
인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)	Swapping -프로세스를 보조기억장치로 보내고, 다른 프로세스를 메모리로 호출 정근시간 -탐색+회전지연시간+전송시간 RAID -0(S), 1(M), 2(ECC), 3(비트), 4(블록) 5(별도제어), 6(이중제어) Scheduling -FCFS, SSTF, SCAN, C-Scan, C-Look, Look, N-Step Scan SSD -NAND Flash 기반, 블록단위 -구성 : 메모리/컨트롤러/인터페이스 Storage Class Memory -PRAM(자발성용), FeRAM(전류분극) MRAM(자발성용), PoRAM(가변전류) -특징 : 23~27G, 406nm, 36M/Bps 강력한 복제방지, 워터마킹 Journaing File System -유형 : JFS2, XFS, ext3fs, Reiserfs, ext4fs(64비트)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
CPU	기억장치
CPU (Central Processing Unit) -구성 : ALU(산/제/논리연산 수행), CU(명령해석/실행), Register, Bus CISC/RISC -CISC : 마이크로프로그램 방식 제어 Memory to Memory 연산 -RISC : HW Wired Control Resiger to Register 연산 EPIC -집파일시 병렬처리 추월, 실행 128 레지스터, 추월/예측 병렬처리 Data/Control Hazard 해소 언어구조 간단, 작은 프로그램 (분기예측 실행)	인터리브 -여러 모듈을 분할, 병렬처리 기술 -배스경량, 기억장치 충돌 회피 -상위 : 프로그램, 데이터, 후립 -하위 : 다수모듈 중시 시작 RAM : 휘발성 메모리 -SDR : 클럭주파수 상/하단 한번 -DDR : 상/하단 2번 정보전송 -DDR2 : 더블클럭, IO 버퍼 사용 -DDR3 : Shift 프리패치, 4배 클럭 가상메모리 -Paging : 직접, 연관, 연립/직접 -Segmentation : 가변분할 -Paged Segmentation -단편화 : 재배치, 통합, 압축 필요 Thrashing -Locality : 시간, 공간, 순차 -Working Set : Wt(S) -PWF : Working Set 오버헤드 감소 -페이징부작용>상인(밀집) -하이브리드 : 페이징/순차/자세리빙 (구조간단, Locality위반, 충돌심함)
Cache	기억장치
계층구조 -상부(고가/저용량), 하부(저속/저가) -전송 : 레지스터(워드), 캐시(블록), 메모리(페이지), 디스크(세그먼트) 유형 -L1 Cache : CPU 내장 -L2 Cache : 메인메모리 탑재 성적목표 -Hit Ratio, 접근시간 최소화, 일관성 관리기법 -인상 : 요구인용, 신인용 -교체 : 직접, 연관, 집합/연관 -NUR(참조/변경 비트, 00/01/10/11) -쓰기 : Write Through/Back Cache Coherence (일관성) -SW : 캐시관리, 무효화, 코드분석 -HW : 불일치 동적 검증 -Hybrid : 캐시 비어후, 공통캐시 (구조간단, Locality위반, 충돌심함)	인터리브